

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 07-202124 [JP 7202124 A]  
PUBLISHED: August 04, 1995 (19950804)  
INVENTOR(s): SEKINE HIROAKI  
YAMAMOTO NORIO  
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)  
APPL NO.: 05-337538 [JP 93337538]  
FILED: December 28, 1993 (19931228)  
INTL CLASS: [6] H01L-027/04; H01L-021/822  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins);  
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To provide a manufacturing method for a semiconductor device having a highly precise reference resistance.

CONSTITUTION: After an excellent contact has been formed by continuously forming a CrSi reference resistor film 3 and an auxiliary wiring layer 4, they are patterned in the same shape. A wiring layer is formed thereon, and a reference resistor, which is connected to the wiring layer, is formed by patterning the wiring layer and the auxiliary wiring layer in the same shape. An excellent contact can be obtained without exposing the contact region of the reference resistor to the open air. Also, a clean reference resistor surface can be obtained by implanting B ions to the contact region of the reference resistor film and by washing the contact region using solution, and a wiring layer is formed thereon. Contact resistance can be stabilized by forming a wiring layer on the clean surface of the reference resistor film.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202124

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.<sup>6</sup>

H01L 27/04  
21/822

識別記号

片内整理番号

F I

技術表示箇所

H01L 27/04

P

審査請求 未請求 請求項の数4 OL (全6頁)

(21) 出願番号 特願平5-337538

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 関根 弘昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 山本 憲郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

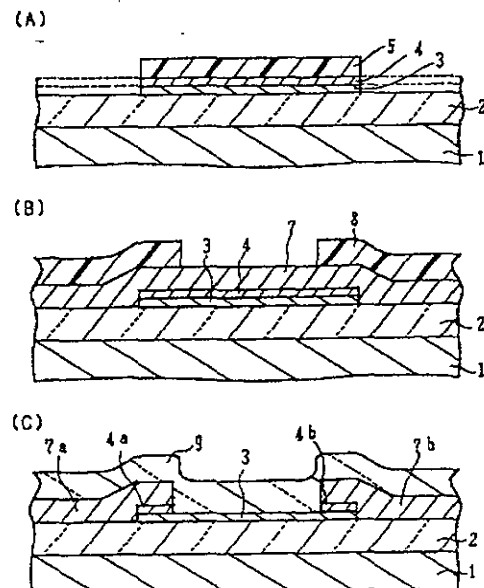
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 基準抵抗を有する半導体装置の製造方法に関し、高精度の基準抵抗を有する半導体装置の製造方法を提供することを目的とする。

【構成】 CrSi系基準抵抗膜(3)と補助配線層(4)を連続して形成して良好なコンタクトを形成した後、同一形状にパターニングする。その上に配線層を形成し、配線層と補助配線層を同一形状にパターニングすることにより、配線層に接続された基準抵抗を形成する。基準抵抗のコンタクト領域は大気に晒されることなく、良好なコンタクトが得られる。また、基準抵抗膜のコンタクト領域にBイオンを注入したり、コンタクト領域をH<sub>2</sub>O<sub>2</sub>+NH<sub>4</sub>OH溶液で洗浄することにより、清浄な基準抵抗膜表面を得、その上に配線層を形成する。基準抵抗膜の清浄表面上に配線層を形成することにより、コンタクト抵抗が安定化する。

実施例



1: Si基板 3: 基準抵抗膜 7: 配線層  
2: 絶縁膜 4: 補助配線層

1

## 【特許請求の範囲】

【請求項1】 半導体基板(1)の絶縁膜(2)上にCr-Si系基準抵抗膜(3)を堆積する工程と、  
続いて、基準抵抗膜(3)上に補助配線金属膜(4)を堆積する工程と、  
前記基準抵抗膜(3)および補助配線金属膜(4)を一

緒にパターニングする工程と、  
パターニングされた前記基準抵抗膜(3)、補助配線金属膜(4)を覆って配線金属膜(7)を堆積する工程と、

前記配線金属膜(7)、補助配線金属膜(4)を一緒にパターニングする工程を含む半導体装置の製造方法。

【請求項2】 前記補助配線金属膜(4)、配線金属膜(7)がAl合金、高融点金属または高融点金属の窒化物または高融点金属のシリサイドである請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板(1)の絶縁膜(2)上にCr-Si系基準抵抗膜(3)を堆積する工程と、  
前記基準抵抗膜(3)をパターニングする工程と、  
パターニングされた前記基準抵抗膜(3)を覆って、コン

タクト部に開口を有するマスク(11)を形成する工程と、  
前記マスク(11)を介して前記基準抵抗膜のコンタクト部(3a)にボロンをイオン注入する工程を含む半導体装置の製造方法。

【請求項4】 半導体基板(1)の絶縁膜(2)上にCr-Si系基準抵抗膜(3)を堆積する工程と、  
前記基準抵抗膜(3)をパターニングする工程と、  
パターニングされた前記基準抵抗膜を覆って、コンタクト部に開口を有し、基準抵抗膜を露出する絶縁膜(9a)を形成する工程と、  
前記開口内に露出された基準抵抗膜表面(12)を加熱H<sub>2</sub>O<sub>2</sub>+NH<sub>4</sub>OH混合液で洗浄する工程を含む半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特に基準抵抗を有する半導体装置の製造方法に関する。

【0002】半導体集積回路装置には、基準抵抗を有するものがある。高集積度の半導体集積回路装置内においては、基準抵抗は小型で高抵抗率を有する必要がある。また、基準抵抗の精度に対する要求はますます高くなり、絶対精度と相対精度の両者の向上が求められている。基準抵抗の精度を低下させる主な原因の1つとして、配線層との接触抵抗の不安定さがある。

【0003】

【従来の技術】基準抵抗として高いシート抵抗が必要とされる半導体集積回路装置においては、薄膜抵抗が有用である。デジタル回路においては、ドーパされた多結晶

2

シリコンが基準抵抗として用いられる。アナログ回路においては、低い抵抗温度係数(TCR)、寿命終了までの高い安定性等、より高い精度が必要である。

【0004】このような高精度の抵抗材料として、クロム硅酸塩系化合物が用いられる。たとえば、Cr<sub>x</sub>Si<sub>y</sub>N<sub>z</sub>は、TCRが約±50~200ppm/℃、抵抗率800~2000μΩ・cmを有する。

【0005】図3に、従来技術によるCrSi系基準抵抗の製造プロセスを示す。図3(A)に示すように、表面にSiO<sub>2</sub>膜52を有するシリコン基板51の上に、CrSi基準抵抗膜53をスパッタリング等によって堆積する。この基準抵抗膜53の上に、ホトレジスト膜を塗布し、基準抵抗の形状に合わせてパターニングし、ホトレジストマスク54を作成する。

【0006】図3(B)に示すように、このホトレジストマスク54をエッチングマスクとして用い、下の基準抵抗膜53をパターニングする。たとえば、塩素ガスを用いたりアクティブイオンエッチング(RIE)によって基準抵抗膜53をパターニングすることができる。

【0007】図3(C)に示すように、ホトレジストマスク54を除去する。酸素プラズマによるアッシング、ウェット工程等によってこのレジスト膜除去工程を行なうことができる。

【0008】図3(D)に示すように、パターニングした基準抵抗膜53の上に配線層となるアルミニウム膜55を堆積する。図3(E)に示すように、アルミニウム膜55の上にホトレジスト膜を塗布し、露光現像することによってアルミニウム膜55の必要部分を覆うホトレジストマスク56を作成する。

【0009】図3(F)に示すように、ホトレジストマスク56をエッチングマスクとして、下のアルミニウム膜55をパターニングする。たとえば、SiCl<sub>4</sub>ガスを用いたドライエッチングにより、アルミニウム膜55をエッチングすることができる。

【0010】図3(G)に示すように、ホトレジストマスク56を除去すると、基準抵抗膜53の両端にアルミニウム膜55の配線が形成された基準抵抗が形成される。なお、図3(C)に示すように、基準抵抗膜53のパターンを形成した後、表面にSiO<sub>2</sub>膜58を形成し、開口部を露出するコンタクトホールをパターニングしてもよい。

【0011】続いて、図3(D)~(G)の工程を行なえば、基準抵抗膜53とアルミニウム膜55の間にSiO<sub>2</sub>膜58が介在した基準抵抗が得られる。図4に、このようにして作成される基準抵抗の形状を示す。

【0012】図4(A)は、図3(A)~(G)の工程によって形成される基準抵抗の断面構造を示す。図3(G)の状態に続き、表面をパッシベーション膜59で覆っている。

【0013】図4(B)は、図3(H)の工程を経て、

50

3

図3 (D) ~ (G) の工程を行なった場合の基準抵抗の構成を示す。アルミニウム配線層55は、基準抵抗膜53を覆う絶縁膜58の開口を通して基準抵抗膜とコンタクトする。なお、配線層55の上はパッシベーション膜59で覆われている。

【0014】図4 (C) は、このようにして形成される基準抵抗の平面構成を示す。矩形状の基準抵抗膜53の両端で、アルミニウム配線層55が接続されている。

【0015】

【発明が解決しようとする課題】CrSi系材料は、非常に酸化され易い。以上説明した従来技術によるCrSi系基準抵抗の製造プロセスによれば、パターニングした基準抵抗膜が酸素雰囲気や酸素プラズマに晒されてしまう。このため、基準抵抗膜表面に酸化や変質が生じる。表面が酸化されたり、変質した基準抵抗膜の上に、直接アルミニウム膜の配線を形成すると、接触抵抗が大きくかつ不安定になる。

【0016】基準抵抗膜の表面変質層を除去するために、希弗酸水溶液で基準抵抗膜表面および半導体ウエハ表面を洗浄することも行なわれる。しかしながら、このような表面洗浄を行なってもコンタクト抵抗を十分低く、かつ安定にすることは困難である。

【0017】本発明の目的は、高精度の基準抵抗を有する半導体装置の製造方法を提供することである。本発明の他の目的は、コンタクト抵抗が低く、基準抵抗の抵抗値は高いCrSi系基準抵抗を有する半導体装置の製造方法を提供することである。

【0018】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板の絶縁膜上にCr-Si系基準抵抗膜を堆積する工程と、続いて、基準抵抗膜上に補助配線金属膜を堆積する工程と、前記基準抵抗膜および補助配線金属膜と一緒にパターニングする工程と、パターニングされた前記基準抵抗膜、補助配線金属膜を覆って配線金属膜を堆積する工程と、前記配線金属膜、補助配線金属膜と一緒にパターニングする工程とを含む。

【0019】本発明の他の半導体装置の製造方法は、半導体基板の絶縁膜上にCr-Si系基準抵抗膜を堆積する工程と、前記基準抵抗膜をパターニングする工程と、パターニングされた前記基準抵抗膜を覆って、コンタクト部に開口を有するマスクを形成する工程と、前記マスクを介して前記基準抵抗膜のコンタクト部にボロンをイオン注入する工程とを含む。

【0020】本発明のさらに他の半導体装置の製造方法は、半導体基板の絶縁膜上にCr-Si系基準抵抗膜を堆積する工程と、前記基準抵抗膜をパターニングする工程と、パターニングされた前記基準抵抗膜を覆って、コンタクト部に開口を有し、基準抵抗膜を露出する絶縁膜を形成する工程と、前記開口内に露出された基準抵抗膜表面を加熱 $H_2O + NH_4OH$ 混合液で洗浄する工程

4

とを含む。

【0021】

【作用】基準抵抗膜に続いて補助配線金属膜を堆積すれば、基準抵抗膜表面を清浄な状態に保ったまま、その上を補助配線金属膜で覆うことができる。したがって、基準抵抗膜と補助配線金属膜のコンタクト抵抗を低くかつ安定にすることができる。基準抵抗膜と補助配線金属膜と一緒にパターニングすれば、基準抵抗膜のコンタクト面に影響を与えずに基準抵抗膜のパターニングが行なえる。

【0022】その後、補助配線金属膜の上に配線金属膜を形成し、配線金属膜と補助配線金属膜と一緒にパターニングすれば、基準抵抗膜に安定にコンタクトする配線層が得られる。

【0023】CrSi系基準抵抗膜のコンタクト部に、ボロンをイオン注入すると、イオン注入部の基準抵抗膜の抵抗を下げ、コンタクト抵抗を低下させることができる。CrSi系基準抵抗膜のコンタクト部表面を、 $H_2O_2 + NH_4OH$ 混合液で洗浄すると、表面の変質層ないし汚染層を効率的に除去することができる。このため、良好なコンタクトを形成することが可能となる。

【0024】

【実施例】図1 (A) ~ (C) に、本発明の実施例による基準抵抗を有する半導体装置の製造方法を示す。

【0025】図1 (A) に示すように、表面に $SiO_2$ 等の絶縁膜2を有するSi基板1を準備する。Si基板1内には、既にトランジスタ等の素子が形成されているとする。Si基板1をスパッタリング装置内に装架し、絶縁膜2の上に、CrSi、CrSiC等で形成された基準抵抗膜3をマグネトロンスパッタリングにより堆積する。基準抵抗膜3のシート抵抗は、たとえば $1k\Omega/\square$ である。

【0026】続いて、スパッタリング装置の真空を破らず、アルミニウム合金の補助配線層4をDCマグネトロンスパッタリングで堆積する。補助配線層の厚さは、たとえば $2 \sim 10nm$ 程度である。

【0027】真空を破らず、同一のDCマグネトロンスパッタリング装置内で基準抵抗膜3、補助配線層4を連続堆積することにより、清浄な基準抵抗膜3表面上に保持配線層4が堆積できる。

【0028】このため、安定した低いコンタクト抵抗を得ることが可能となる。なお、アルミニウム合金としては、純Al、Al-Si、Al-Cu、Al-Cu-Ti等を用いることができる。

【0029】その後、Si基板1をDCマグネトロンスパッタリング装置から取出し、補助配線層4の上にホトレジスト膜を塗布する。このホトレジスト膜を露光現像することにより、基準抵抗膜のパターンを有するホトレジストマスク5を形成する。

【0030】ホトレジストマスク5を同一のエッチング

50

5

マスクとして用い、アルミニウムエッチング用にSiCl<sub>4</sub>ガス、CrSi用としてCl<sub>2</sub>ガスを用いたりアクティブイオンエッチング(RIE)を行ない、補助配線層4、基準抵抗膜3のパターニングを連続して行なう。補助配線層4、基準抵抗膜3が一緒にパターニングされるため、基準抵抗膜3の表面は、僅かな側面以外、露出されない。

【0031】その後、ホトレジストマスク5を除去する。ホトレジストマスク5の除去にアッシングを用いても基準抵抗膜3表面は補助配線層4によって覆われているため、基準抵抗膜3表面が酸化することは防止できる。

【0032】図1(B)に示すように、Si基板1をスパッタリング装置内に装架し、まずArsパツクエッチを行ない、Al合金の補助配線層4表面上の酸化膜等を除去し、清浄な補助配線層4表面を作る。続いて、真空を破らずに、補助配線層4表面を覆うように厚いアルミニウム合金層の配線層7をスパッタリングによって成膜する。

【0033】補助配線層4表面の汚染層、変質層を除去した後、配線層7を成膜することにより、補助配線層4、配線層7間のコンタクト抵抗は十分低くすることができる。なお、補助配線層、配線層を異なる金属とすることもできる。

【0034】配線層7を形成したSi基板1をスパッタリング装置外に取出し、表面にホトレジスト膜を塗布し、露光現像することによってホトレジストマスク8を形成する。ホトレジストマスク8は、後に形成する配線層と対応する形状を有する。基準抵抗膜3の基準抵抗となる部分は開口内に露出される。

【0035】ホトレジストマスク8をエッチングマスクとして磷酸でウェットエッチングを行ない、アルミニウムまたはアルミニウム合金の配線層7、補助配線層4を選択的にエッチングする。磷酸のウェットエッチングは、CrSiの基準抵抗膜3はエッチしない。

【0036】図1(C)は、このようにしてパターニングされた配線層7a、7bおよび補助配線層4a、4bを示す。基準抵抗膜の両端に、配線層7、補助配線層4で形成された配線が接続される。

【0037】このようにして得た基準抵抗構造の上を、パッシベーション膜9で覆う。パッシベーション膜9は、酸化膜等の無機材料若しくはポリイミド等の有機材料で形成することができる。

【0038】なお、基準抵抗膜の材料として、CrSi以外のCrSi系材料を用いてもよい。たとえば、CrSiC等を用いることもできる。配線層、補助配線層として高融点金属や高融点金属窒化物、高融点金属シリサイドを用いることもできる。

【0039】図2は、本発明の他の実施例による基準抵抗を有する半導体装置の製造方法を示す。図2(A)に示

6

すように、表面にSiO<sub>2</sub>等の絶縁膜2を形成したSi基板1を準備する。Si基板1内には、トランジスタ等の素子が形成されているものとする。このSi基板1をDCマグネトロンスパッタリング装置内に装架する。30at%Cr-70at%Siのターゲットを用い、80%Ar-20%N<sub>2</sub>混合ガスを用い、ガス圧10mTorr、電力0.5kWでリアクティブスパッタリングを行ない、約10秒間で厚さ20nmのCrSiN基準抵抗膜3を堆積する。

【0040】基準抵抗膜3を形成したSi基板1をDCマグネトロンスパッタリング装置から取出し、基準抵抗膜3表面上にホトレジスト膜を塗布する。ホトレジスト膜を露光現像し、基準抵抗膜のパターンを有するホトレジストマスク5を形成する。このホトレジストマスク5をエッチングマスクとし、基準抵抗膜3をエッチングする。その後、ホトレジストマスク5を除去する。

【0041】図2(B)に示すように、基準抵抗膜3を覆うように、SiO<sub>2</sub>膜9を厚さ約200nm化学気相堆積(CVD)によって堆積する。図2(C)に示すように、SiO<sub>2</sub>膜9の上にホトレジスト膜を塗布し、露光現像することにより、基準抵抗膜3のコンタクト領域に開口を有するホトレジストマスク11を作成する。このホトレジストマスク11をマスクとし、Bイオンをイオン注入する。

【0042】注入されたボロンBは、SiO<sub>2</sub>膜9を通過し、基準抵抗膜3のコンタクト領域に注入される。このイオン注入により基準抵抗膜3のコンタクト領域に低抵抗領域3aが形成される。

【0043】図2(D)に示すように、同一のホトレジストマスク11をエッチングマスクとして用い、SiO<sub>2</sub>膜9をエッチングする。ドライエッチングでもウェットエッチングでもよい。基準抵抗膜3のコンタクト領域3aは開口内に露出される。その後、ホトレジストマスク11を除去する。

【0044】ここで、基準抵抗膜3のコンタクト領域表面12は、酸化されている可能性がある。ホトレジストマスク11を除去した後、H<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub>OH(=1:1体積%)混合溶液で約60℃で洗浄することが好ましい。

【0045】このH<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub>OH溶液の洗浄により、基準抵抗膜3の表面層は極く薄く削られる。なお、図2(C)に示すイオン注入工程を行わず、図2(D)の開口を形成した後H<sub>2</sub>O<sub>2</sub>+NH<sub>4</sub>OH混合溶液の洗浄を行なってもよい。

【0046】その後、図2(E)に示すように、アルミニウム膜13を厚さ約0.9μm堆積し、ホトリソグラフィによってパターニングし、基準抵抗膜3のコンタクト領域3aで接触する配線層13を形成する。なお、この配線層13のエッチングは、磷酸によって行なうことが好ましい。

7

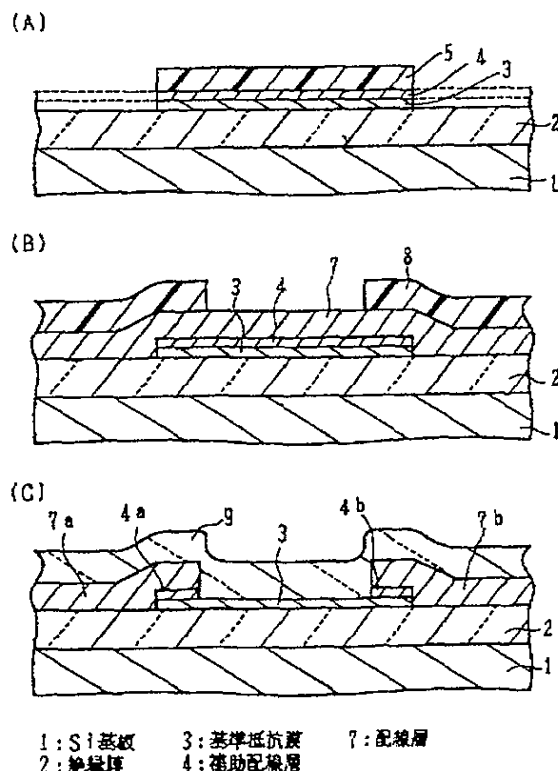
【0047】その後、約450℃、窒素雰囲気中で約30分間アニールし、アルミニウム配線層13とCrSiN基準抵抗膜3のコンタクトをさらに良好にする。図2(F)に示すように、アルミニウム配線層13表面を覆ってパッシベーション膜15を形成する。パッシベーション膜15は、たとえば燐硅酸ガラス(PSG)膜約1 $\mu$ mと、SiN膜約0.3 $\mu$ mの積層によって形成することができる。このようなパッシベーション膜により、集積回路本体および基準抵抗の耐湿性を向上し、保護の機能を促進する。

【0048】なお、配線層13は、同一Si基板1上に形成された半導体装置と接続してもよい。また、パッシベーション膜15にコンタクト孔を形成し、配線層13にさらに他の配線層を接続したり、ボンディングパッドを画定してもよい。

【0049】本実施例によれば、基準抵抗膜の抵抗は、コンタクト領域外で保証し、コンタクト部分は低抵抗として配線層との良好なコンタクトを形成する。以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【図1】

実施例



8

【0050】

【発明の効果】以上説明したように、本発明によれば、安定したコンタクト抵抗で配線に接続された基準抵抗を有する半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

10 【図3】従来の技術による半導体装置の製造方法を説明するための断面図である。

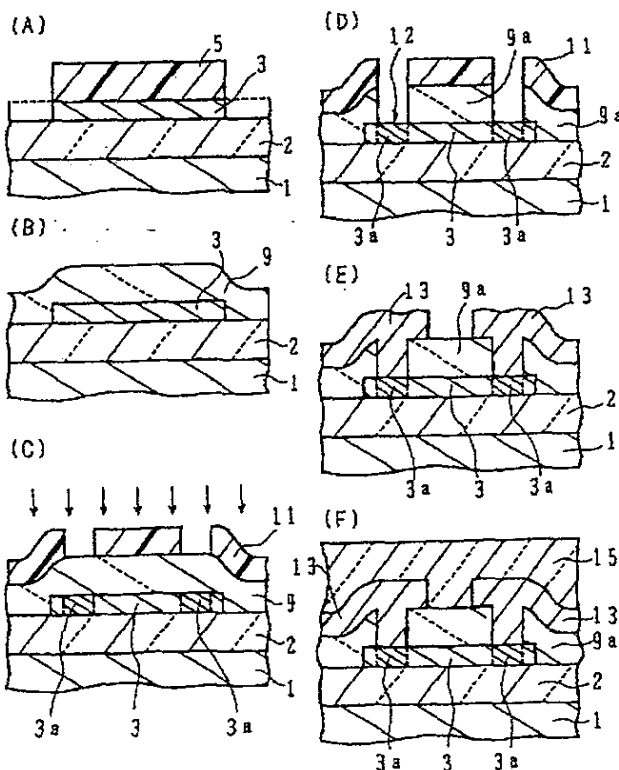
【図4】基準抵抗の構成を示す断面図および平面図である。

【符号の説明】

- 1 Si基板
- 2 絶縁膜
- 3 基準抵抗膜
- 4 補助配線層
- 5、8 ホトレジストマスク
- 7、13 配線層

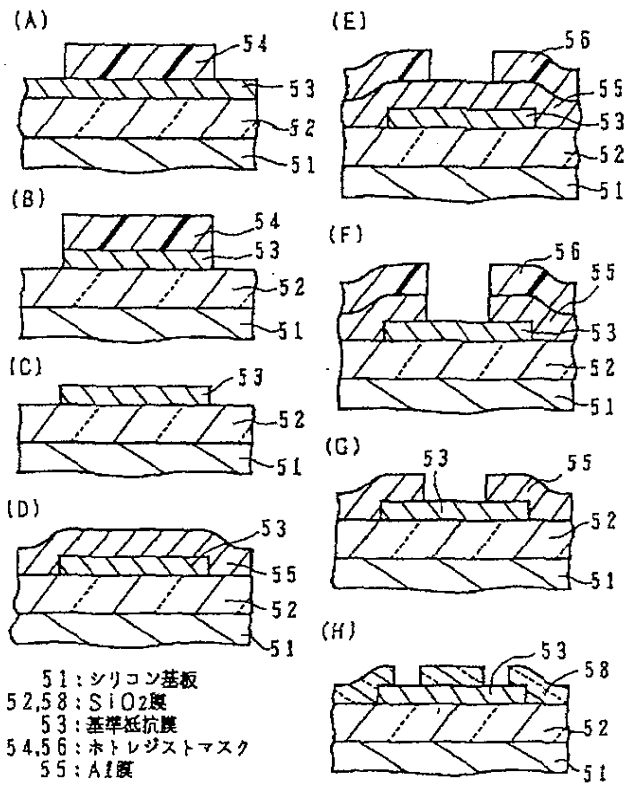
【図2】

実施例



【図3】

従来技術



【図4】

